

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22449

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/04			H 0 1 L 25/04	Z
			G 0 6 F 15/60	6 5 8 E
G 0 6 F 17/50			H 0 1 L 23/52	A
H 0 1 L 23/538				

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-172012

(22) 出願日 平成8年(1996) 7月2日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 三村 忠昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

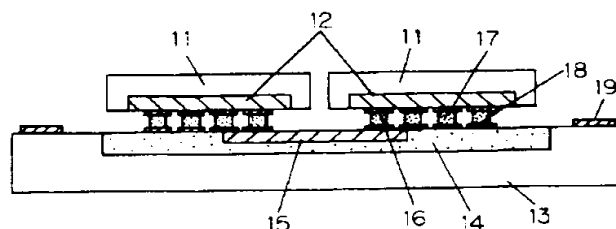
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 複数のプロセッサコアと、プロセッサコア間を相互接続するための結合網、特にクロスバ型等の密結合網を集積した1チップ半導体装置が開発されているが、その構成上ハードウェア規模が大きくなるため、チップサイズの拡大してしまうという課題がある。また複雑な相互配線を行うため、チップサイズ縮小には多層配線プロセスを用いる必要があり歩留まりとの兼ね合いでチップコストが下がらないという問題が発生する。

【解決手段】 これらの課題を解決するため、本発明では複数のマイクロプロセッサ、あるいはDSPが密結合した、マルチプロセッサ構成のシステムにおいて、プロセッサ部12と相互結合網部14をそれぞれ別々の半導体チップで形成し、COC(チップオンチップ)構造で一体化を行うものである。

11 PEチップ
12 PEブロック
13 相互結合網形成チップ
14 相互結合網形成領域
15 クロスバスイッチ
16 上面チップエリア電極パッド
17 バンプ
18 下面チップエリア電極パッド
19 下面チップ周辺電極パッド



【特許請求の範囲】

【請求項1】複数の半導体チップを互いの能動面同士が向かい合う状態で、かつ前記複数の半導体チップの電極パッド同士を電氣的に接続した構造を有する半導体装置であって、一方の半導体チップがマイクロプロセッサを有する半導体チップであり、前記マイクロプロセッサを有する半導体チップと対向する他方の半導体チップが前記マイクロプロセッサ間のデータ転送ネットワークを行う相互結合網を有することを特徴とする半導体装置。

【請求項2】マイクロプロセッサを有する半導体チップが前記マイクロプロセッサ間でのデータ転送を制御するためのコントローラを有することを特徴とする請求項1記載の半導体装置。

【請求項3】マイクロプロセッサ間のデータ転送ネットワークを行う相互結合網を有する半導体チップが前記マイクロプロセッサ間でのデータ転送を制御するためのコントローラを有することを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のマイクロプロセッサ、あるいはDSPを並列に動作させたマルチプロセッサシステムに関するものであり、特に複数のプロセッサ間に相互結合網が形成されたシステムの構成方法に関するものである。

【0002】

【従来の技術】近年各種システム機器の高速化・高機能化にともない、半導体素子単体の処理速度向上と合わせ、さまざまな並列処理技術の導入により、システムのトータル性能を上げるアプローチがさかんに行われている。これは、例えば画像データの圧縮／伸長といった、複雑で高速性を要求される処理を、複数のプロセッサ・エレメント（PE）に分散させ、標準的な処理性能を持つプロセッサを並列動作させることにより、トータルでの処理速度を向上させるといったものである。

【0003】そこで以下では、従来のマルチプロセッサ構成について図面を参照しながら説明する。図5は、一般的な密結合型の相互結合網の形態を示したものであり、マルチプロセッサ構成のシステムを示すブロック図である。図5において、31はプロセッサエレメントPE、32は相互結合網、33はPEの制御部であり、相互結合網32には、クロスバ型、メッシュ型、ハイパキューブ型などの他、ADENA型（ハイパークロス型）などが挙げられる。

【0004】次に図6に上記の図5に示した4つのPE間のクロスバ型相互結合網のブロック図を示す。図6において、34はクロスバスイッチ、35はクロスバ配線を示している。4つのPE31が、図6に示すように相互にクロスする形で接続され、各接続ポイントにクロスバスイッチ34が設けられている。図中の点線で囲んだ

部分が相互結合網を示す。クロスバ配線35は、データ転送のバンド幅と信号伝送の周波数によりその配線本数が決まる。例えば8、16、32、64とそのビット数を広げることでデータ転送レートは向上するが、それに伴い、一般的には実装コスト上昇や、実装規模拡大を招く。

【0005】以下図6のクロスバ型PE構成のハードウェアインプリメントの例について説明する。図7は、最もオーソドックスな形態の個別要素チップでの構成を示すものであり、従来のクロスバ型相互結合網を持つ半導体装置の平面図である。

【0006】図7において、36は、パッケージされたPE、37はパッケージされたクロスバスイッチ、38は回路基板内に形成された相互結合網配線、39は回路基板である。この場合各チップは個別にパッケージされて回路基板に実装することによりシステムが構成されている。上記の図7に示す半導体装置は、一般的なQFPパッケージの例を示したものである。

【0007】一方上記の図7に示したQFPパッケージとは逆に、すべての構成要素を1チップLSI内に形成した例を図8に示す。図8は、従来のクロスバ型相互結合網を持つ半導体装置を示す平面図のチップ内の機能ブロックレイアウトを示したものである。図8において、40はPEブロック、41はクロスバスイッチを含む相互結合網のブロック、42はチップ周辺に配置された電極パッド、43は半導体チップを示している。この例では、1チップにPEやクロスバスイッチ、相互接続配線などの構成要素を全て集積している。例えば0.35μmなどの最先端の微細化プロセス、3、4層以上の多層配線技術により複数のPEの密結合ネットワークが1チップで実現できる。具体的には、4つのフローティング演算DSPコアをクロスバ結合した構成となっているものが存在する。このチップにはさらに並列処理制御用として、RISCプロセッサコアも搭載されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記図7に示した従来の構成では、各チップを個別にパッケージし回路基板へ搭載した構成であるため、各LSIチップ間の信号伝送遅延が生じ、例えば60MHz以上の動作速度になると、信号反射やノイズ、クロストークといった問題が生じてくる。

【0009】また、図8の例では、すべての要素を1チップに集積しているため、図7の例と比較し物理的サイズでは有利となる。また1チップ内で形成されるため、より高速動作は可能である。しかしながら、集積する回路規模が大きくなるため、より微細な製造プロセスを用いたとしても、チップサイズの拡大となる。例えば前述の4つのフローティング演算DSPコアをクロスバ結合した半導体装置では18mm角と非常に大きなものとなっている。これはクロスバ結合網の形成にかなりのエリ

アを占めているためである。

【0010】チップサイズの拡大はすなわちチップコストの上昇になり、実アプリケーションへの適用に当たっては大きな課題となる。また、相互結合網を汎用ロジックと1チップ化するための設計ツールを用意する必要も生じる。

【0011】さらにアプリケーションによって、PE間の相互結合網の形態を変える必要が生じた場合、その都度LSI化を行う必要があり、開発工数・開発期間を要することとなる。

【0012】そこで本発明は、システムコストを最小化すること、相互結合網内の配線設計の自由度を高めることにより、信号伝送特性を向上させ、プロセッサ間データ転送の効率を上げること、及び、設計自由度や設計効率を向上することの可能な半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記の目的を達成するために本発明の半導体装置は、複数の半導体チップの能動面同士が向かい合う形で半導体チップの電極パッド同士が電気的に接続された構造において、対向する半導体チップのうち、一方が複数のマイクロプロセッサ、あるいはマイクロプロセッサ間でのデータ転送を制御するためのコントローラLSIであり、他方がマイクロプロセッサ間のデータ転送ネットワークを実現するための相互結合網が形成されているチップであるように構成されている。

【0014】

【発明の実施の形態】以下、本発明の実施の形態における半導体装置について図面を参照しながら説明する。本実施の形態では、前述の4PEクロスバ型ネットワークを例に説明することとする。

【0015】（実施の形態1）図1は、本発明の一実施の形態における半導体装置の断面図を示したものである。図1において、11はPEチップ、12はPEブロック、13は相互結合網形成チップ、14は相互結合網形成領域、15はクロスバスイッチ回路、16は上面PEチップのエリア電極パッド、17はバンプ、18は下面相互結合網形成チップのエリア電極パッド、19は下面チップの周辺電極パッドを示したものである。図1に示したように、本実施の形態における半導体装置は、上面チップと下面チップが能動面同士が向かい合わせに対向して張り合わされた構造となっている。これをCOC（チップオンチップ）構造と呼ぶ。本実施の形態では、上面にPEチップ11を、下面に相互結合網形成チップ13を配置している。チップ間の接合は、上面チップ、下面チップ内に形成されたエリア電極パッド16、18の間をバンプ17で接続している。上記のバンプを用いた接合は、例えばMBB（マイクロバンプボンディング）技術を用いることで可能であり、その際30μmピ

ッチ以下の微細接続が可能である。

【0016】図2は、上記の図1に示したこのCOC構造の半導体装置を上から見た平面図を示したものである。図2中下面チップ13内に形成された相互結合網14の上に4つのPEチップ11が配置され電気的に接続されている。

【0017】相互結合網14の中には、PE間でのデータ転送を制御するためのコントローラとしての4つのクロスバスイッチ15と、これらクロスバスイッチ間の相互配線、および上面のPEチップ11と接続を行うためのエリア電極パッド18が形成されている。図3は、上面PEチップ11を搭載していない状態の下面チップ13を示した平面図である。上面PEチップ11のエリア電極パッド16に対応した位置に電極パッド18が形成されている。この構成は、ちょうど図6の点線で囲まれた部分を切り出して、下面チップ内に形成したものである。すなわち、PEと相互結合網を別々のチップで作

り、COC接合技術により一体化するものである。

【0018】これにより、構成要素である、マイクロプロセッサ、DSPなどからなるPEを個別チップとしてできるだけ小型に作り込むことが可能になる。また、最新プロセスにより性能を重視した設計が可能で、設計の自由度を向上させることができる。例えば、上面チップを最新の0.35μmプロセスで作

り、下面相互結合網形成チップを古い世代の、例えば0.5や0.8μmプロセスでつくことで、半導体装置のトータルコストを低減させることが可能である。

【0019】また、PEチップは標準的な仕様で形成し、システムの要求に応じて、相互結合網の形態を変えることも可能である。すなわち、下面チップのみの変更で、前述のクロスバ結合以外に、メッシュ型やハイパーキューブ型などのネットワーク構成をとることができる。その際、1チップ化プロセスと異なり、相互結合網チップのみの変更で対応できるため、大幅な設計開発期間の短縮、開発コストの低減が可能である。

【0020】（実施の形態2）以下では、本発明の別の実施の形態における半導体装置について説明する。図4は、本実施の形態における半導体装置の断面図を示したものである。

【0021】図4に示す実施の形態では、上面の1つのチップ内に複数個のPEブロック12を形成している。上記の図1に示した実施の形態における半導体装置との違いは、1チップあたりのPE数であるが、これは回路規模と集積度（プロセス）により、最適な構成をとることができる。

【0022】なお、上記実施の形態における相互結合網の中のクロスバスイッチを別チップとして、作りCOC構造の上面に設けることも可能である。

【0023】

【発明の効果】以上説明したように、本発明の半導体装

5

置は、複数のマイクロプロセッサ、あるいはDSPが密結合した、マルチプロセッサ構成のシステムにおいて、プロセッサ部と相互結合網部をそれぞれ別々の半導体チップで形成し、COC構造で一体化するものである。このため、プロセッサ部と相互結合網に対しそれぞれ最適なプロセスを適用させることが可能であり、システムコストを最小化することができる。

【0024】また、相互結合網内の配線設計の自由度を高めることができるため、配線幅、配線厚みの最適化により、信号伝送特性を向上させ、プロセッサ間データ転送の効率を上げることができる。さらに、プロセッサ部を共通に利用し、相互結合網のみの変更でシステム構築が可能である、など設計自由度、設計効率が向上し、トータルシステムのコストパフォーマンスを上げることができるといった、非常に大きな効果を生むことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置の断面図

【図2】本発明の実施の形態における半導体装置の平面図

【図3】本発明の実施の形態における半導体装置の平面図

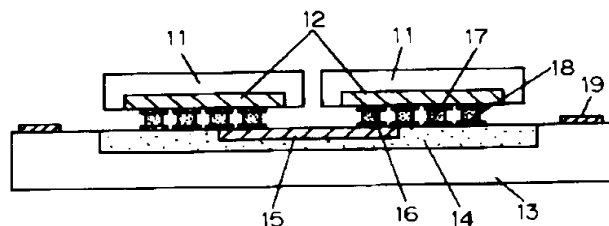
【図4】本発明の実施の形態における半導体装置の断面図

【図5】マルチプロセッサ構成のシステムを示すブロック図

【図6】クロスバ型相互結合網を示すブロック図

【図1】

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 16 上面チップエリア電極パッド
- 17 バンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



6

【図7】従来のクロスバ型相互結合網を持つ半導体装置を示す平面図

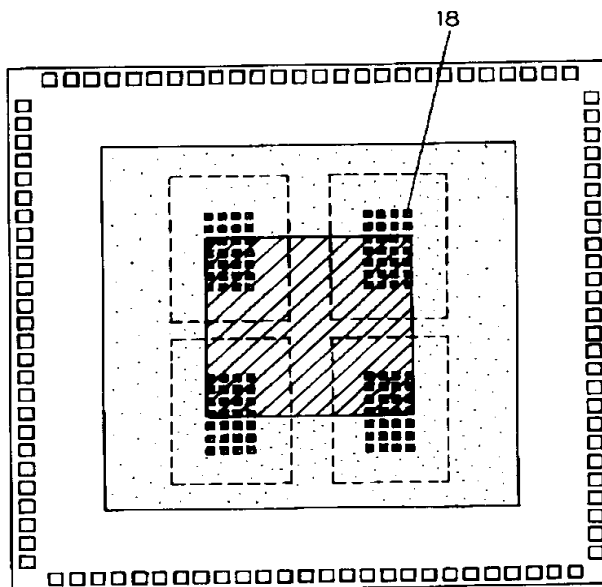
【図8】従来のクロスバ型相互結合網を持つ半導体装置を示す平面図

【符号の説明】

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ回路
- 16 上面チップエリア電極パッド
- 17 バンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺パッド
- 31 プロセッサエレメント (PE)
- 32 相互結合網
- 33 PE制御部
- 34 クロスバスイッチ (論理上)
- 35 クロスバ配線
- 36 PEパッケージ部品
- 37 クロスバスイッチパッケージ品
- 38 相互結合網配線
- 39 回路基板
- 40 チップ内PEブロック
- 41 相互結合網ブロック
- 42 周辺電極パッド
- 43 マルチプロセッサ半導体チップ

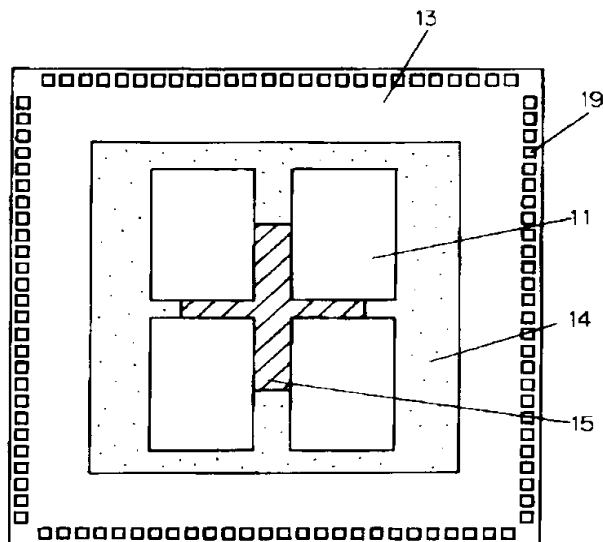
【図3】

18 下面チップエリア電極パッド



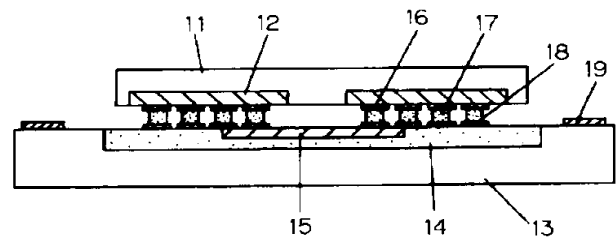
【図2】

- 11 PEチップ
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 19 下面チップ周辺電極パッド



【図4】

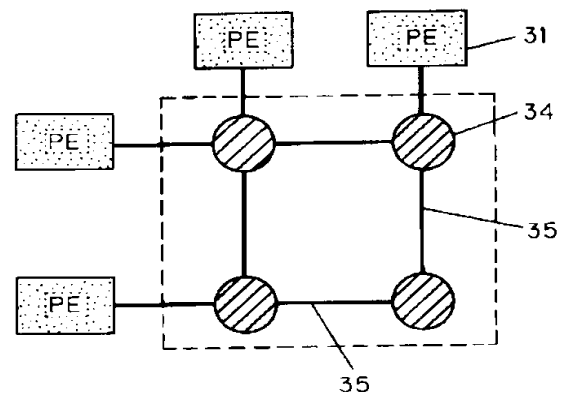
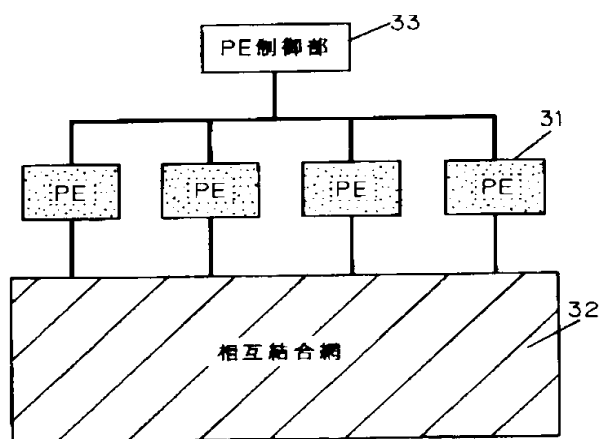
- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 16 上面チップエリア電極パッド
- 17 パンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



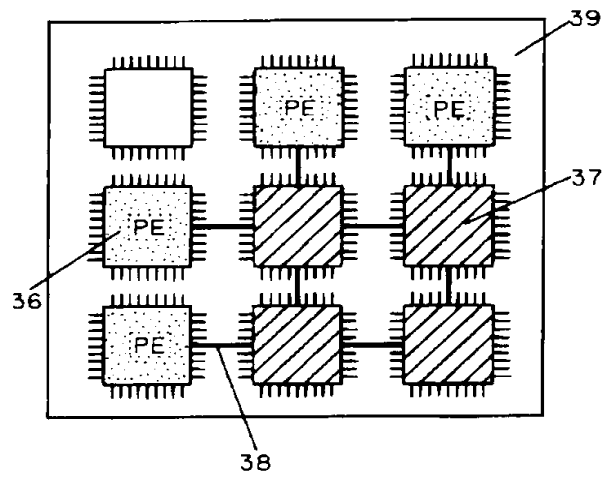
【図6】

34 クロスバスイッチ

【図5】



【図7】



【図8】

